

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-191111

(43)Date of publication of application : 22.07.1997

(51)Int.CI.

H01L 29/786
H01L 21/336

(21)Application number : 08-215257

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO
LTD

(22)Date of filing : 26.07.1996

(72)Inventor : CHIYOU KOUYUU

(30)Priority

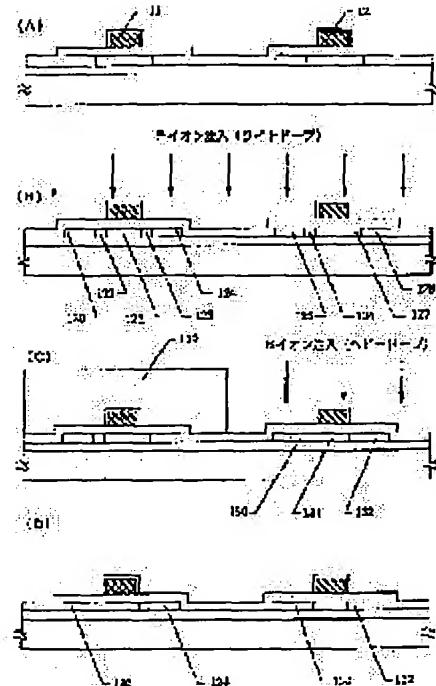
Priority number : 07313627 Priority date : 07.11.1995 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a CMOS structure at a low cost by simultaneously forming P- and N-channel thin film transistors without increasing the number of used masks and skillfully avoiding the controversial point which arises when impurity ions are implanted at a high dose.

SOLUTION: At the time of forming a CMOS structure of thin film transistors on a glass substrate, LDD (low-concentration impurity) areas 126 and 127 are provided in an N-channel thin film transistor. At the time of forming a P- channel thin film transistor, in addition, the areas 126 and 127 formed at the time of forming the N-channel thin film transistor are inverted by implanting B- ions. When the N- and P-channel thin film transistors are formed in this way, a CMOS structure can be formed of the N-channel thin film transistor having LDD areas and P-channel thin film transistor having no LDD area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-191111

(43)公開日 平成9年(1997)7月22日

(51)Int.Cl.⁶
H 0 1 L 29/786
21/336

識別記号

序内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 6 A
6 1 2 B
6 1 3 A
6 1 7 A
6 1 7 W

審査請求 未請求 請求項の数14 FD (全20頁)

(21)出願番号 特願平8-215257

(22)出願日 平成8年(1996)7月26日

(31)優先権主張番号 特願平7-313627

(32)優先日 平7(1995)11月7日

(33)優先権主張国 日本 (JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

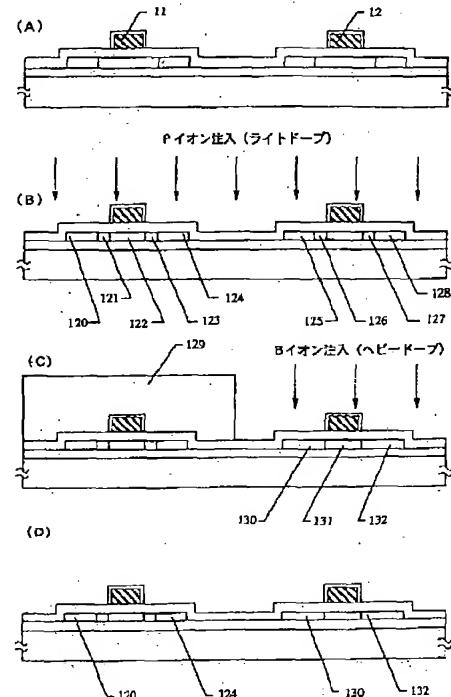
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】 (修正有)

【課題】 使用するマスク数を増やす、また不純物の高ドーピング・イオン注入の問題点を巧みに回避して、PチャネルとNチャネルの薄膜トランジスタを同時に形成し、CMOS構造を安価に提供する。

【解決手段】 ガラス基板上に薄膜トランジスタでもつてCMOS構造を形成する際にNチャネル型の薄膜トランジスタにはLDD領域126, 127を設ける。またPチャネル型の薄膜トランジスタの形成の際にはNチャネル型の薄膜トランジスタの形成の際に形成された低濃度不純物領域126, 127をBイオンの注入によって反転させる。このような構成とすることによって、LDD領域を有したNチャネル型の薄膜トランジスタとLDD領域を有しないPチャネル型の薄膜トランジスタでもつてCMOS構造を得ることができる。



【特許請求の範囲】

【請求項1】同一基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとが集積化された構成を有し、前記Nチャネル型の薄膜トランジスタのみに選択的にLDD領域が形成されており、前記Pチャネル型の薄膜トランジスタのソースおよびドレイン領域にはP型を付与する不純物とN型を付与する不純物とが添加されており、かつ前記N型を付与する不純物の濃度より前記P型を付与する不純物の濃度の方が高いことを特徴とする半導体装置。

【請求項2】請求項1において、

Pチャンネル型の薄膜トランジスタのソースおよびドレイン領域の、チャネル形成領域に隣接する領域におけるN型を付与する不純物の濃度は当該ソースおよびドレイン領域の他の領域に比較して低く、P型を付与する不純物の濃度は当該ソースおよびドレイン領域の全域に渡り均一または概略均一であることを特徴とする半導体装置。

【請求項3】請求項1において、NまたはPチャネル型の薄膜トランジスタのチャネル形成領域には、一導電型を付与する不純物が添加されていることを特徴とする半導体装置。

【請求項4】請求項1において、LDD領域の代わりにオフセットゲート領域が配置されていることを特徴とする半導体装置。

【請求項5】請求項1において、NまたはPチャネル型の薄膜トランジスタのそれぞれにはゲート電極の側面に形成された絶縁膜を利用したオフセットゲート領域が配置されていることを特徴とする半導体装置。

【請求項6】請求項1において、LDD領域にはチャネル形成領域からドレイン領域の方向に向かって連続的に不純物濃度が変化して添加されていることを特徴とする半導体装置。

【請求項7】同一基板上にマトリクス状に薄膜トランジスタが配置されたアクティブマトリクス領域と該領域に配置された薄膜トランジスタを駆動するための周辺駆動回路とを有し、

前記アクティブマトリクス領域にはLDD領域またはオフセットゲート領域が形成されたNチャネル型の薄膜トランジスタが配置されており、前記周辺駆動回路にはNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを相補型に構成した回路が配置されており、

前記周辺駆動回路に配置されたNチャネル型の薄膜トランジスタには選択的にLDD領域またはオフセットゲート領域が形成され、

前記周辺駆動回路に配置されたPチャネル型の薄膜トランジスタのソース領域およびドレイン領域にはN型を付

与する不純物が添加されていることを特徴とする半導体装置。

【請求項8】同一基板上にマトリクス状に薄膜トランジスタが配置されたアクティブマトリクス領域と該領域に配置された薄膜トランジスタを駆動するための周辺駆動回路とを有し、

前記アクティブマトリクス領域にはPチャネル型の薄膜トランジスタが配置されており、

前記周辺駆動回路には、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを相補型に構成した回路が配置され、

前記周辺駆動回路に配置されたNチャネル型の薄膜トランジスタには選択的にLDD領域またはオフセットゲート領域が形成され、

前記アクティブマトリクス領域と前記周辺駆動回路に配置されたPチャネル型の薄膜トランジスタのソース領域およびドレイン領域にはN型を付与する不純物が添加されていることを特徴とする半導体装置。

【請求項9】請求項7または請求項8において、

Pチャンネル型の薄膜トランジスタのソースおよびドレイン領域の、

チャネル形成領域に隣接する領域におけるN型を付与する不純物の濃度は当該ソースおよびドレイン領域の他の領域に比較して低く、

P型を付与する不純物の濃度は当該ソースおよびドレイン領域の全域に渡り均一または概略均一であることを特徴とする半導体装置。

【請求項10】請求項7または請求項8において、

Pチャネル型の薄膜トランジスタのソース領域およびドレイン領域におけるN型を付与する不純物の濃度は、チャネル形成領域に隣接する領域で低く、他の領域で高く、

かつPチャネル型の薄膜トランジスタのソース領域およびドレイン領域におけるP型を付与する不純物の濃度は、当該領域内において一定または概略一定であることを特徴とする半導体装置。

【請求項11】同一基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを集積化して作製する工程において、

陽極酸化可能な材料でなるゲート電極の側面に多孔質状の陽極酸化膜を選択的に形成する工程と、前記陽極酸化膜をマスクとしてN型を付与する不純物を添加する工程と、

前記陽極酸化膜を除去する工程と、

前記ゲート電極をマスクとしてN型を付与する不純物を添加し前記陽極酸化膜が存在した領域下にLDD領域を形成する工程と、

Nチャネル型の薄膜トランジスタとする領域を選択的にマスクしP型を付与する不純物を添加する工程と、

を有することを特徴とする半導体装置の作製方法。

3

【請求項12】請求項11において、不純物の添加は加速した不純物イオンをゲイト絶縁膜を介して注入することで行われることを特徴とする半導体装置の作製方法。

【請求項13】請求項11において、N型を付与する不純物を添加する前者の工程における添加量に比較してN型を付与する不純物を添加する後者の工程における添加量は少ないことを特徴とする半導体装置の作製方法。

【請求項14】同一基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを集積化して作製する工程において、

陽極酸化可能な材料でなるゲート電極の側面に多孔質状の陽極酸化膜を選択的に形成する工程と、

前記陽極酸化膜をマスクとしてN型を付与する不純物を添加する工程と、

前記陽極酸化膜を除去する工程と、

Nチャネル型の薄膜トランジスタとする領域を選択的にマスクしP型を付与する不純物を添加する工程と、

を有し、

Nチャネル型の薄膜トランジスタに前記多孔質状の陽極酸化膜の膜厚でもって決定されるオフセットゲート領域が選択的に形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本明細書で開示する発明は、同一基板上にPチャネル型とNチャネル型の薄膜トランジスタが配置された構成に関する。またその作製方法に関する。具体的には、ガラス基板上に薄膜トランジスタでもって構成されたCMOS型の回路構成やその作製工程に関する。

【0002】

【従来の技術】ガラス基板上に珪素薄膜を成膜し、その珪素膜を用いて薄膜トランジスタを作製する技術が知られている。この技術は、アクティブマトリクス型の液晶表示装置を作製するために発展してきた技術である。

【0003】液晶表示装置は、一对のガラス基板間に液晶が挟んで保持された構成を有し、マトリクス状に配置された多数の画素毎において、液晶に電界を印加し、その光学特性を変化させることによって、表示を行うものである。

【0004】アクティブマトリクス型の液晶表示装置は、上記のマトリクス状に配置された各画素のそれぞれに薄膜トランジスタを配置し、各画素電極に入りする電荷をこの薄膜トランジスタでもって制御するものである。

【0005】現状において、アクティブマトリクス領域に配置された数百×数百以上の薄膜トランジスタを駆動する回路（周辺駆動回路と呼ばれる）は、ガラス基板上にT A B配線等で外付けされるドライバーICと呼ばれるIC回路によって構成されている。

4

【0006】しかし、ドライバーICをガラス基板に外付けすることは、作製工程が煩雑になるという問題がある。また、ドライバーICの分だけ凹凸ができてしまう。このことは、各種電子機器に組み込まれる液晶表示装置においては、その汎用性を阻害する要因となる。

【0007】このような問題を解決する技術として、周辺駆動回路をもガラス基板上に薄膜トランジスタでもって集積化してしまう技術がある。

【0008】このような構成とすると、全体を一体化した構成とができる、さらに作製工程の簡略化、信頼性の向上、汎用性の拡大、といった有意性を得ることができる。

【0009】このような周辺駆動回路をも一体化したアクティブマトリクス型の液晶表示装置においては、周辺駆動回路を構成する回路としてCMOS回路が必要になる。CMOS回路は、Nチャネル型のトランジスタとPチャネル型のトランジスタとを相補型に構成した回路であって、電子回路の基本的な構成の一つである。

【0010】ガラス基板上に薄膜トランジスタでもってCMOS構成を得る方法として、以下のような構成が知られている。

【0011】まず図4に第1の方法を説明する。図4(A)には、まずガラス基板401上に下地膜となる酸化珪素膜402を成膜し、さらにその上に珪素膜（結晶性珪素膜または非晶質珪素膜）でなる活性層403と404を形成し、さらにそれらを覆ってゲート絶縁膜として機能する酸化珪素膜405を成膜した状態が示されている。

【0012】ここで403はNチャネル型の薄膜トランジスタの活性層となる島状の領域であり、404がPチャネル型の薄膜トランジスタの活性層となる島状の領域である。

【0013】図4(A)に示す状態を得たら、シリサイド材料等でゲート電極406と407を形成する。（図4(B)）

【0014】そして図4(C)に示すように他方の薄膜トランジスタの領域をレジストマスク408で覆ってP（リン）イオンの注入を行う。この工程でNチャネル型の薄膜トランジスタのソース領域409とドレイン領域411、さらにチャネル形成領域410が自己整合的に形成される。

【0015】そして、図4(D)に示すようにレジストマスク408を除去し、新たにレジストマスク412を配置し、今度はB（ボロン）イオンの注入を行う。この工程において、Pチャネル型の薄膜トランジスタのソース領域415とドレイン領域413、さらにチャネル形成領域414が自己整合的に形成される。

【0016】このようにして、同一ガラス基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを同時に形成することができる。図4に示す

構成において、Pチャネル型の薄膜トランジスタのドレイン領域411とNチャネル型の薄膜トランジスタのドレイン領域413とを接続し、さらに両薄膜トランジスタのゲート電極を接続すればCMOS構成が得られる。

【0017】図4に示すCMOS回路の作製工程は、最も基本的なものであるが、N型を付与する不純物イオンのドーピングに利用されるマスク408と、P型を付与する不純物イオンのドーピングに利用されるマスク412とを別々に必要とする煩雑さがある。

【0018】即ち、レジストマスク408と412の2枚のマスクが不純物イオンのドーピング時に必要となる煩雑さがある。

【0019】レジストマスクを形成するには、レジスト材料の塗布、焼成、フォトマスクを用いた選択的な露光、レジストマスクを形成するための選択的な除去、といった工程が必要である。

【0020】またレジストをマスクとして用いて不純物イオンの注入を行った場合には、注入されるイオンの衝撃によってレジスト材料が変質して除去しにくくなるという問題がある。

【0021】図4に示す構成を採用した場合、変質を取り除きにくくなつたレジスト材料を取り除く工程が2回あることになる。これは、それだけ不良の発生する要因が多くなることになり好ましいものではない。

【0022】この問題を軽減する方法として、図5に示す方法が知られている。図5に示す方法は、まず図5(A)に示すようにガラス基板401上に下地膜となる酸化珪素膜502を成膜し、さらにその上に珪素膜(結晶性珪素膜または非晶質珪素膜)でなる活性層503と504を形成し、さらにそれらを覆つてゲート絶縁膜として機能する酸化珪素膜505を成膜する。

【0023】ここで503はNチャネル型の薄膜トランジスタの活性層となる島状の領域であり、504がPチャネル型の薄膜トランジスタの活性層となる島状の領域である。

【0024】次にシリサイド材料等でなるゲート電極506と507を形成し、図5(B)に示す状態を得る。

【0025】この状態で全面にP(リン)イオンの注入を行う。この結果、508と510の領域、さらに511と513の領域がN型となる。(図5(C))

【0026】このPイオンの注入は、 $1 \times 10^{15} / \text{cm}^2 \sim 2 \times 10^{15} / \text{cm}^2$ のドーズ量とし、その表面濃度が $1 \times 10^{20} / \text{cm}^2$ 以上となるような条件で行う。

【0027】次にレジストマスク514をNチャネル型の薄膜トランジスタとする領域のみに選択的に配置し、B(ボロン)イオンの注入を行う。

【0028】この時、前述のPイオンのドーズ量の3~5倍程度のドーズ量でもってBイオンの注入を行う。

【0029】すると、N型となつた511と513の領域がP型に反転する。こうしてPチャネル型のソース領

域515とドレイン領域516とチャネル形成領域512が自己整合的に形成される。

【0030】上述のようなヘビードープが必要とされるのは、領域515と512と516とをNIN接合とする必要があるからである。

【0031】このようにして、図4に示す構成に比較して少ないマスク数でNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを得ることができる。

10 【0032】図5に示す構成においては、508がNチャネル型の薄膜トランジスタのソース領域、509がNチャネル型の薄膜トランジスタのチャネル形成領域、510がNチャネル型の薄膜トランジスタのドレイン領域である。

【0033】また、516がPチャネル型の薄膜トランジスタのドレイン領域、512がPチャネル型の薄膜トランジスタのチャネル形成領域、515がPチャネル型の薄膜トランジスタのドレイン領域である。

20 【0034】図5に示す構成は、作製工程を簡略化することができるという有意性があるが、以下に述べるような問題点がある。

【0035】まず、第1にレジストマスク514は極めて高いドーズ量でもって不純物イオンが注入されるので、レジストの変質が顕在化し、そのことに起因する工程不良の発生確立が高くなつてしまつ。

30 【0036】第2に図5の右側の薄膜トランジスタ(Pチャネル型の薄膜トランジスタ)のチャネル形成領域に隣接したドレイン領域が極めて高濃度(導電型を反転させるためにPチャネル型として必要とされる以上のドーズ量の不純物イオンが注入されている)の不純物領域となつてゐるので、チャネル形成領域とドレイン領域との接合付近におけるOFF電流の存在が無視できないものとなつてしまつ。

【0037】第3に高濃度のBイオンのドーピングに起因するイオンの回り込みのためにチャネル形成領域512にBイオンが添加されてしまい、必要とする特性が得られないという問題がある。

40 【0038】第4に高ドーズ量で不純物イオン注入することは、イオン注入装置やプラズマドーピング装置に負担をかけ、装置内部の汚染や装置のメンテナンスに手間かかる等の諸問題を引き起す。

【0039】第5に高ドーズ量で不純物イオンの注入を行うことは、処理時間の増大を招くという問題もある。

【0040】第6にレーザー光によるアニールを行う場合の不都合がある。一般に図5(D)に示す状態の後、レジストマスク514を取り除き、注入された不純物の活性化と不純物イオンが注入された領域のアニールのためにレーザー光の照射によるアニール工程が必要とされる。(この方法は耐熱性の低いガラス基板を用いる場合50に有用な方法である。)

【0041】この時、508と510の領域に比較して515と516の領域には多量のドーズ量でもって不純物イオンが注入されているので、その結晶性の損傷が著しいものとなっている。

【0042】従って、光の吸収率の波長依存性が508と510の組の領域と515と516の組の領域とでは大きく異なるものとなっている。このような状態では、レーザー光の照射によるアニール効果が上記2つの組において大きく異なるものとなってしまう。

【0043】このようなことは、左側のNチャネル型の薄膜トランジスタと右側のPチャネル型の薄膜トランジスタとで特性が大きく異なってしまう要因となり好ましいものではない。

【0044】

【発明が解決しようとする課題】本明細書で開示する発明は、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを同時に形成する際に問題となるマスク数の増大の問題や、図5で示す工程で問題となる高ドーズ量での不純物イオン注入の問題を回避することを課題とする。

【0045】即ち、ガラス基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを形成する場合において、作製コストや手間を削減し、さらに高い信頼性を得る技術を提供することを課題とする。

【0046】また薄膜トランジスタでもってCMOS回路を構成する際に、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとの特性の違いを是正し、高い特性を有するCMOS回路を得ることを課題とする。

【0047】

【課題を解決するための手段】本明細書で開示する発明の一つは、同一基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとが集積化された構成を有し、前記Nチャネル型の薄膜トランジスタのみに選択的にLDD領域が形成されており、前記Pチャネル型の薄膜トランジスタのソースおよびドレイン領域にはP型を付与する不純物とN型を付与する不純物とが添加されており、かつ前記N型を付与する不純物の濃度より前記P型を付与する不純物の濃度の方が高いことを特徴とする。

【0048】上記構成の具体的な例を図3(B)に示す。図3(B)に示す構成においては、左側のNチャネル型の薄膜トランジスタ(NTFT)と右側のPチャネル型の薄膜トランジスタ(PTFT)でもってCMOS回路を構成する例である。

【0049】この構成において、NTFTで示されるNチャネル型の薄膜トランジスタのみに選択的に低濃度不純物領域でなるLDD領域123が配置されている。

【0050】LDD領域とは、ライトドープドレイン領域の略である。LDD領域はチャネル形成領域とドレイ

ン領域との間に配置される。LDD領域は、チャネル形成領域とドレイン領域との間における電界強度を緩和することによって、OFF電流値の低減、劣化の抑制といった作用を有している。また、ソース/ドレイン間の抵抗を高めることで、実質的に薄膜トランジスタにおける移動度を低下させる作用を有している。

【0051】また、図3(B)に示す構成は、その図2(B)に示す作製工程において、右側のPチャネル型の薄膜トランジスタにもN型を付与する不純物(P元素)が添加されている。

【0052】また最終的にPチャネル型として動作させるために右側のPチャネル型の薄膜トランジスタのソースおよびドレイン領域には、N型を付与する不純物よりもP型を付与する不純物の方がより高濃度で含まれている。(図2(C)に示す工程でBイオンの注入が行われる)

【0053】なお半導体として珪素を用いた場合には、N型を付与する不純物として代表的にP(リン)を挙げることができる。また、同様に半導体として珪素を用いた場合には、P型を付与する不純物として代表的にB(ボロン)を挙げができる。

【0054】また図3(B)に示すような構成を採用した場合、Pチャネル型の薄膜トランジスタのソースおよびドレイン領域の、チャネル形成領域に隣接する領域におけるN型を付与する不純物の濃度は当該ソースおよびドレイン領域の他の領域に比較して低く、P型を付与する不純物の濃度は当該ソースおよびドレイン領域の全域に渡り均一または概略均一となる。

【0055】これは、右側のPチャネル型の薄膜トランジスタには、図1(E)に示す工程と図2(B)に示す工程において、N型を付与する不純物であるPイオンが注入されているからである。

【0056】即ち、図2(B)の125と128に示す領域には2回のPイオンの注入が行われるが、126と127で示される領域には1回しか不純物イオンの注入が行われないからである。

【0057】この結果、チャネル形成領域131に隣接する領域(126と127とで示される領域に相当する)におけるP元素の濃度は、当該ソース領域128およびドレイン領域125に比較して低いものとなる。

【0058】一方、P型を付与する不純物は、図2(C)に示されるように1回しか行われないので、当該ソースおよびドレイン領域の全域に渡り均一(または概略均一)なものとなる。

【0059】他の発明の構成は、同一基板上にマトリクス状に薄膜トランジスタが配置されたアクティブマトリクス領域と該領域に配置された薄膜トランジスタを駆動するための周辺駆動回路とを有し、前記アクティブマトリクス領域にはLDD領域またはオフセットゲート領域が形成されたNチャネル型の薄膜トランジスタが配置さ

れており、前記周辺駆動回路には、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを相補型に構成した回路が配置され、前記周辺駆動回路に配置されたNチャネル型の薄膜トランジスタには選択的にLDD領域またはオフセットゲート領域が形成され、前記周辺駆動回路に配置されたPチャネル型の薄膜トランジスタのソース領域およびドレイン領域にはN型を付与する不純物が添加されていることを特徴とする。

【0060】他の発明の構成は、同一基板上にマトリクス状に薄膜トランジスタが配置されたアクティブマトリクス領域と該領域に配置された薄膜トランジスタを駆動するための周辺駆動回路とを有し、前記アクティブマトリクス領域にはPチャネル型の薄膜トランジスタが配置されており、前記周辺駆動回路には、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを相補型に構成した回路が配置され、前記周辺駆動回路に配置されたNチャネル型の薄膜トランジスタには選択的にLDD領域またはオフセットゲート領域が形成され、前記アクティブマトリクス領域と前記周辺駆動回路に配置されたPチャネル型の薄膜トランジスタのソース領域およびドレイン領域にはN型を付与する不純物が添加されていることを特徴とする。

【0061】他の発明の構成は、同一基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを集積化して作製する工程において、陽極酸化可能な材料であるゲート電極の側面に多孔質状の陽極酸化膜を選択的に形成する工程と、前記陽極酸化膜をマスクとしてN型を付与する不純物を添加する工程と、前記陽極酸化膜を除去する工程と、前記ゲート電極をマスクとしてN型を付与する不純物を添加し前記陽極酸化膜が存在した領域下にLDD領域を形成する工程と、Nチャネル型の薄膜トランジスタとする領域を選択的にマスクしP型を付与する不純物を添加する工程と、を有することを特徴とする。

【0062】上記構成の具体的な例を以下に示す。図1(D)には、陽極酸化可能な材料であるゲート電極の側面に多孔質状の陽極酸化膜112と113を選択的に形成する工程が示されている。

【0063】また、図1(E)には、前記陽極酸化膜をマスクとしてN型を付与する不純物を添加する工程が示されている。

【0064】また、図2(A)には前記陽極酸化膜を除去した後の状態が示されている。

【0065】また、図2(B)には、ゲート電極11をマスクとしてN型を付与する不純物を添加し前記陽極酸化膜が存在した領域下123にLDD領域を形成する工程が示されている。

【0066】また、図2(C)には、Nチャネル型の薄膜トランジスタとする領域を選択的にマスクしP型を付与する不純物を添加する工程が示されている。

【0067】他の発明の構成は、同一基板上にNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを集積化して作製する工程において、陽極酸化可能な材料であるゲート電極の側面に多孔質状の陽極酸化膜を選択的に形成する工程と、前記陽極酸化膜をマスクとしてN型を付与する不純物を添加する工程と、前記陽極酸化膜除去する工程と、Nチャネル型の薄膜トランジスタとする領域を選択的にマスクしP型を付与する不純物を添加する工程と、を有し、Nチャネル型の薄膜トランジスタに前記多孔質状の陽極酸化膜の膜厚でもって決定されるオフセットゲート領域が選択的に形成されることを特徴とする。

【0068】上記構成が特徴とするのは、図6の605で示される多孔質状の陽極酸化膜の厚さでもって、613と615で示されるオフセットゲート領域が形成されることを特徴とする。

【0069】なお、緻密な陽極酸化膜600の膜厚が厚い場合は、その厚さの分もオフセットゲート領域の形成に寄与することになる。

【0070】

【実施例】

【実施例1】本実施例はガラス基板上に薄膜トランジスタでもってCMOS構造を形成する例である。図1～図3に本実施例の作製工程を示す。

【0071】まず図1(A)に示されるようにガラス基板101上に下地膜として酸化珪素膜102を成膜する。酸化珪素膜102の成膜方法は、スパッタ法やプラズマCVD法を用いればよい。またその厚さは3000Å程度とすればよい。

【0072】ガラス基板としては、コーニング7059ガラス基板やコーニング1737ガラス基板を利用することができます。また高価にはなるが高い耐熱性を有した透光性基板として石英基板を利用することもできる。

【0073】酸化珪素膜102を成膜したら、後に薄膜トランジスタの活性層となる珪素膜の成膜を行う。ここでは、まず図示しない非晶質珪素膜を500Åの厚さに成膜する。この非晶質珪素膜の成膜方法はプラズマCVD法または減圧熱CVD法を用いればよい。

【0074】図示しない非晶質珪素膜を成膜したら、レーザー光の照射または加熱処理、またはレーザー光の照射と加熱処理を組み合わせた方法により、図示しない非晶質珪素膜を結晶化させる。こうして図示しない結晶性珪素膜を得る。

【0075】さらにこの図示しない結晶性珪素膜をパテーニングしてNチャネル型の薄膜トランジスタの活性層104とPチャネル型の薄膜トランジスタの活性層105を得る。

【0076】さらにゲート絶縁膜として機能する酸化珪素膜103をプラズマCVD法で成膜する。厚さは1000Åとする。

【0077】こうして図1 (A) に示す状態を得る。ここでは説明を簡単にするために一組のNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを形成する例を示す。一般的には同一ガラス基板上に数百以上の単位でNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとが形成される。

【0078】図1 (A) に示す状態を得たら、図1 (B) に示すように後にゲート電極を構成することになるアルミニウム膜106を成膜する。

【0079】このアルミニウム膜はヒロックやウィスカの発生を抑制するためにスカンジウムを0.2 wt 重量% 含有させる。アルミニウム膜の成膜方法はスパッタ法や電子ビーム蒸着法を用いて行う。

【0080】ヒロックやウィスカの発生を抑制するためにスカンジウムを0.2 wt 重量% 含有させる。アルミニウム膜の成膜方法はスパッタ法や電子ビーム蒸着法を用いて行う。

【0081】アルミニウム膜以外の材料としてはタンタル等の陽極酸化可能な金属を利用することができます。

【0082】アルミニウム膜106を成膜したら、電解溶液中においてアルミニウム膜106を陽極とした陽極酸化を行い薄く緻密な陽極酸化膜107を成膜する。

【0083】ここでは、3%の酒石酸を含んだエチレングリコール溶液をアンモニアで中和したものを電解溶液として用いる。この陽極酸化方法を用いると緻密な膜質を有した陽極酸化膜を得ることができる。またその膜厚は印加電圧によって制御することができる。

【0084】ここでは陽極酸化膜107の厚さを100 Å程度とする。この陽極酸化膜107は、後に形成されるレジストマスクとの密着性を向上させる役割を有している。このようにして図1 (B) に示す状態を得る。

【0085】次にレジストマスク108と109を形成する。そしてこのレジストマスク108と109を利用してアルミニウム膜106とその表面の陽極酸化膜107をパターニングする。このようにして図1 (C) に示す状態を得る。

【0086】次に3%のシュウ酸水溶液を電解溶液として、この溶液中で残存したアルミニウム膜であるパターン110と111を陽極とした陽極酸化を行う。

【0087】この陽極酸化工程においては、陽極酸化が残存したアルミニウム膜110と111の側面において選択的に進行する。これは、アルミニウム膜110と111の上面に緻密な陽極酸化膜とレジストマスク108と109が残存しているからである。

【0088】またこの陽極酸化においては、多孔質状(ポーラス状)の膜質を有した陽極酸化膜が形成される。またこの多孔質状の陽極酸化膜は数μm程度まで成長させるさせることができる。(前述の緻密な陽極酸化膜の最大成長距離は3000 Å程度である)

【0089】この陽極酸化工程の結果、陽極酸化膜(膜というより陽極酸化物)112と113が形成される。ここでは、この陽極酸化の進行距離、即ち膜厚は7000 Åとする。この陽極酸化の進行距離によって、後に低濃度不純物領域の長さが決まる。経験的にこの多孔質状の陽極酸化膜の成長距離は6000 Å~8000 Åとすることが望ましい。こうして図1 (D) に示す状態を得る。

【0090】この状態においてゲート電極11と12が画定する。図1 (D) に示す状態を得たら、レジストマスク108と109を取り除く。

【0091】次に再び3%の酒石酸を含んだエチレングリコール溶液をアンモニアで中和したものを電解溶液として用いた陽極酸化を行う。この工程においては、電解溶液が多孔質状の陽極酸化膜112と113の中に侵入する。この結果、図1 (E) の114と115で示される緻密な陽極酸化膜が形成される。

【0092】この緻密な陽極酸化膜114と115の厚さは600 Åとする。なお、先に形成した緻密な陽極酸化膜107の残存部分はこの陽極酸化膜114と115と一体化してしまう。

【0093】図1 (E) に示す状態においてN型を付与する不純物としてP(リン)イオンを全面にドーピングする。

【0094】このドーピングは、 $0.2 \sim 5 \times 10^{15} / \text{cm}^2$ 、好ましくは $1 \sim 2 \times 10^{15} / \text{cm}^2$ という高いドーズ量で行う。ドーピング方法としてはプラズマドーピング法を用いる。なおこの工程におけるドーピングを便宜上ヘビードーピングと称する。

【0095】この図1 (E) に示す工程の結果、高濃度にPイオンが注入された領域116、117、118、119が形成される。

【0096】次にアルミ混酸を用いて多孔質状の陽極酸化膜112と113を除去する。こうして図2 (A) に状態を得る。

【0097】図2 (A) に示す状態を得たら、図2 (B) に示すように再びPイオンの注入を行う。このPイオンの注入は、ドーズ量を $0.1 \sim 5 \times 10^{14} / \text{cm}^2$ 、好ましくは $0.3 \sim 1 \times 10^{14} / \text{cm}^2$ という低い値とする。このドーピングにおいては、Pの表面濃度が $2 \times 10^{19} / \text{cm}^3$ 以下となるようとする。

【0098】即ち、図2 (B) で示す工程で行われるPイオンの注入はそのドーズ量を図1 (E) に示す工程において行われたドーズ量に比較して低いものとする。(便宜上ライトドーピングと称する)

【0099】この工程の結果、121と123の領域、さらに126と127の領域がライトドープされた低濃度不純物領域となる。また、120と124の領域、さらに125と128の領域は、より高濃度にPイオンが注入された高濃度不純物領域となる。

13

【0100】この工程において、120の領域がNチャネル型の薄膜トランジスタのソース領域となる。そして121と123が低濃度不純物領域となる。また124がドレイン領域となる。また、123で示される領域が一般にLDD（ライトドープドレイン）領域と称される領域となる。

【0101】次に図2（C）に示すようにNチャネル型の薄膜トランジスタを覆うレジストマスク129を配置する。

【0102】図2（C）に示す状態においてB（ボロン）イオンの注入を行う。ここでは、Bイオンのドーズ量を $0.2 \sim 10 \times 10^{15} / \text{cm}^2$ 、好ましくは $1 \sim 2 \times 10^{15} / \text{cm}^2$ 程度とする。このドーズ量は図1（E）に示す工程におけるドーズ量と同程度とすることができる。

【0103】この工程において、125と126、さらに127と128の領域の導電型がN型からP型に反転する。

【0104】こうしてPチャネル型の薄膜トランジスタのソース領域130とドレイン領域132が形成される。また131の領域は特に不純物が注入されずにチャネル形成領域となる。

【0105】ここで、Bイオンを注入する前においては、図2（B）の126と127の領域はPイオンが低濃度に注入された低濃度不純物領域である。従って、Bイオンの注入によって、容易にその導電型が反転する。特に、チャネル形成領域131との接合がN接合からP接合へと容易に反転する。即ち、必要とするジャンクションの形成を容易に行うことができる。

【0106】従って、図1（E）の工程におけるPイオンの注入工程と同程度のドーズ量でもって126と127の領域の導電型を反転させ、P型を有する不純物領域130と132とを形成することができる。

【0107】また図5に示すような従来の場合に比較してドーズ量を少なくすることができるので、不純物イオンの注入によってレジストマスクが変質してしまうことを抑制することができる。

【0108】図2（C）に示す工程の終了後、レジストマスク129を取り除き、図2（D）に示す状態を得る。この状態で注入された不純物の活性化と不純物イオンが注入された領域のアニールを行うためにレーザー光の照射を行う。

【0109】この時、Nチャネル型の薄膜トランジスタのソース/ドレイン領域である120と124の組で示される領域と、Pチャネル型の薄膜トランジスタのソース/ドレイン領域である130と132の組で示される領域との結晶性の違いがそれ程大きくない状態でレーザー光の照射を行うことができる。

【0110】上記結晶性の違いがそれ程大きくないのは、図2（C）に示す工程において図5（D）に示す従

14

来の場合のような極端なヘビードーピングを行わないからである。

【0111】従って、図2（D）に示す状態においてレーザー光の照射を行い、2つの薄膜トランジスタのソース/ドレイン領域のアニールを行う場合、そのアニール効果違いを是正することができる。

【0112】このことにより、得られるNおよびPチャネル型の薄膜トランジスタの特性の違いを是正することができる。

10 【0113】図2（D）に示す状態を得たら、図3（A）に示すように層間絶縁膜133を成膜する。層間絶縁膜133は 4000 \AA 厚の窒化珪素膜で構成する。この窒化珪素膜の成膜方法は、プラズマCVD法を用いる。

【0114】次にコンタクトホールの形成を行い、Nチャネル型の薄膜トランジスタ（N TFT）のソース電極134とドレイン電極135を形成する。同時にPチャネル型の薄膜トランジスタ（P TFT）のソース電極137とドレイン電極136を形成する。

20 【0115】ここでNチャネル型の薄膜トランジスタのドレイン電極135とPチャネル型の薄膜トランジスタのドレイン電極136とを接続するようにパターニングを行い、さらに2つのTFTのゲート電極同士を接続すればCMOS構造が実現される。

【0116】図3（B）に示すCMOS構造を有する構成は、Nチャネル型の薄膜トランジスタの方に低濃度不純物領域121と123が配置されている。

【0117】121と123で示される低濃度不純物領域は、

- 30 • OFF電流を低減させる。
- ホットキャリアによるTFTの劣化の防止する。
- ソース/ドレイン間の抵抗を増加させN TFTの移動度を低下させる。

といった作用を有している。

【0118】一般に図3（B）に示すようなCMOS構造とする場合、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとの特性の違いが問題となる。

40 【0119】例えば本実施例のような結晶性珪素膜を用いた場合において、Nチャネル型の薄膜トランジスタの移動度は $100 \sim 150 \text{ V s / cm}^2$ 程度得られるが、Pチャネル型の薄膜トランジスタの移動度は $30 \sim 80 \text{ V s / cm}^2$ 程度しか得られない。

【0120】また、Nチャネル型の薄膜トランジスタには、ホットキャリアによる劣化という問題がある。この問題はPチャネル型の薄膜トランジスタでは特に問題とならない。

【0121】また一般にCMOS回路では低OFF電流特性は特に要求されない。

50 【0122】このような状況において、N型の薄膜ト

ンジスタ側に121や123で示される低濃度不純物領域を配置する構成とすることで以下の有意性を得ることができる。

【0123】即ち、CMOS構造において、N型の薄膜トランジスタの移動度を低下させ、さらにその劣化を防止することによって、Pチャネル型の薄膜トランジスタとの総合的な特性のバランスを探り、CMOS回路としての特性を向上させることができる。

【0124】また図1(E)、図1(B)、図1(C)に示す不純物イオンの注入工程において、活性層がゲート絶縁膜を構成する酸化珪素膜103で覆われていることは重要である。

【0125】このような状態で不純物イオンの注入を行うと、活性層表面の荒れや汚染を抑制することができる。このことは、歩留りや得られる装置の信頼性を高めることに大きな寄与を果たす。

【0126】【実施例2】本実施例は、薄膜トランジスタで構成されたCMOS構造において、Nチャネル型の薄膜トランジスタのみに特にオフセットゲート領域を配置した構成に関する。

【0127】オフセットゲート領域は、LDD領域に代表される低濃度不純物領域と同様の作用を有している。

【0128】即ち、

- ・OFF電流値を低減させる。
- ・ソース／ドレイン間の抵抗を増大させて薄膜トランジスタの移動度が低下する。
- ・Nチャネル型であれば、ホットキャリアによる劣化を抑制する。

という作用効果を得ることができる。

【0129】図6に本実施例で示すCMOS構造の作製工程を示す。まず、図1(A)～図1(E)に示すのと同様な工程によって、図6(A)に示す状態を得る。

【0130】図6(A)において、600がゲート電極の周囲に形成された緻密な陽極酸化膜である。この陽極酸化膜600の膜厚は600Åとする。

【0131】なお、図6(A)の605と606で示される多孔質状の陽極酸化膜の膜厚は2000～4000Åとする。この多孔質状の陽極酸化膜の膜厚でもって後に形成されるオフセットゲート領域の寸法が概略決定される。

【0132】なお、正確にはこの多孔質状の陽極酸化膜の内側の緻密な陽極酸化膜600の膜厚もオフセットゲート領域の寸法に影響する。しかし、実施例1にも示したようにその厚さは600Å程度であるので、ここではその存在は無視して考える。

【0133】この状態でPイオンを $0.2 \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、好ましくは $1 \sim 2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入する。不純物イオンの注入方法はプラズマドーピング法を用いる。

【0134】このドーズ量はヘビードーピングであり、

601～604の領域に高濃度にPイオンが注入される。即ち、601～604の領域は高濃度不純物領域となる。

【0135】次に多孔質状の陽極酸化膜605と606を除去する。こうして図6(B)に示す状態を得る。

【0136】この状態においては、607と608の領域がPイオンの注入されなかった領域となる。

【0137】そして図6(C)に示すようにNチャネル型の薄膜トランジスタの領域となる部分にレジストマスクを配置する。そしてBイオンの注入を行う。

【0138】Bイオンの注入は、 $0.2 \sim 10^{15} \text{ cm}^{-2}$ 、好ましくは $1 \sim 10^{15} \text{ cm}^{-2}$ のドーズ量で行う。Bイオンの注入方法はプラズマドーピング法で行う。

【0139】この工程において610と612の領域がP型の不純物領域となる。

【0140】ここでゲート電極直下のチャネル形成領域のソース／ドレイン領域に隣接する領域には、(A)の工程でPイオンが注入されなかった領域が存在している。(この領域は多孔質状の陽極酸化膜606の直下の領域に対応する)

【0141】この領域は実質的に真性な領域であるので、(C)の工程におけるBイオンの注入によってこの領域は容易にP型となる。従って、この工程におけるBイオンのドーズを最低限必要とするドーズ量とすることができます。

【0142】こうしてPチャネル型の薄膜トランジスタのドレイン領域610、チャネル形成領域611、ソース領域612を自己整合的に形成することができる。

【0143】次にレジストマスク609を除去して図6(D)に示す状態を得る。図6(D)に示す状態において、601と602がNチャネル型の薄膜トランジスタのソース及びドレイン領域である。また614がチャネル形成領域である。

【0144】そして613と615がゲート電極からの電界が印加されず、またソース／ドレイン領域としても機能しないオフセットゲート領域となる。この領域は、ソース／ドレイン領域(特にドレイン領域)とチャネル形成領域との間における電界強度を緩和する機能を有している。

【0145】一方Pチャネル型の薄膜トランジスタにおいては、オフセットゲート領域は存在しない構成となる。

【0146】このような構成は、実施例1においても述べたように、Nチャネル型の薄膜トランジスタの移動度を実質的に低下させ、さらにその特性の劣化を抑制する構成とし、CMOS構造におけるNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとのバランスを改善するものとすることができる。

【0147】【実施例3】本実施例は、実施例1で示したNチャネル型の薄膜トランジスタに配置される低濃度

不純物領域の構造を改良した例を示す。

【0148】低濃度不純物領域は、主にチャネル形成領域とドレイン領域との間に割り込むように配置され、両領域間における電界強度を緩和させるために機能する。

【0149】一般に薄膜トランジスタの活性層は、非晶質状態や微結晶状態、さらには多結晶状態を有している。従って、チャネルに隣接するジャンクションの構造が弱体なものとなる傾向がある。このことは、薄膜トランジスタの特性のバラツキや特性の経時変化、さらには信頼性の低下といった問題の要因となる。

【0150】そこで本実施例に示す構成においては、チャネル形成領域とドレイン領域（ソース領域）との間に配置される低濃度不純物領域における濃度分布を制御し、上記の問題を解決する。

【0151】本実施例においては、低濃度不純物領域において、ドレイン領域及びソース領域からチャネル形成領域にかけて徐々に不純物濃度が低下していくような構成とすることを特徴とする。

【0152】このような構成とすると、ジャンクションの構造が弱くても、薄膜トランジスタにおける特性のバラツキや経時変化、さらには信頼性の低さといった問題を抑制することができる。

【0153】図7の本実施例に示す薄膜トランジスタで構成したCMOS構造を示す。まず図1（E）に示す状態まで実施例1に示した作製工程に従って作製する。即ち、不純物イオンの注入を行う前の工程までは実施例1に示す工程に従って作製を行う。

【0154】そして図7（A）に示すようにPイオンの注入を行う。この際、適当な条件でもって不純物イオンの注入を行うことによって、多孔質状の陽極酸化膜701や702の下側にもPイオンの回り込みが起こる。

【0155】このPイオン注入の結果、703と707と708と712とが高濃度に不純物が注入された高濃度不純物領域となる。

【0156】また704と706と709と711とが連続的または段階的に不純物濃度が変化している低濃度不純物領域となる。

【0157】また705と710が不純物の注入されないチャネル形成領域となる。

【0158】このPイオンの注入は、ソース及びドレインとなる領域に対して、 $0.2 \sim 5 \times 10^{15} / \text{cm}^2$ 、好ましくは $1 \sim 2 \times 10^{15} / \text{cm}^2$ のドーザ量となるような条件で行う。

【0159】このような不純物イオンの注入を行うことによって得られるPイオンの濃度分布の例を図8に示す。この濃度分布の状態は、図7（A）に示す工程におけるイオン注入条件によって制御することができる。

【0160】図8に示すような濃度分布が得られるイオンの回り込み現象は、ゲート電極に対して不純物イオンが注入される領域上の絶縁膜（ゲート絶縁膜）が帶電に

よって正の電位となることに起因する。

【0161】図8に示すような構成は、導電型が連続的にまたは段階的に変化する状態とすることができるので、ジャンクションに加わる電界強度を緩和することができる。そして装置の信頼性を高いものとすることができる。

【0162】図7（A）に示すPイオンの注入の終了後、多孔質状の陽極酸化膜701と702を除去し、図7（B）に示す状態を得る。

【0163】そしてNチャネル型の薄膜トランジスタ側にレジストマスク713を配置してBイオンの注入を行う。このBイオンの注入は、 $0.2 \sim 10^{15} / \text{cm}^2$ 、好ましくは $1 \sim 2 \times 10^{15} / \text{cm}^2$ のドーザ量でもって行う。（図7（C））

【0164】この工程で708と709さらに711と712の領域の導電型がN型からP型へと反転する。

【0165】この工程においても709と711は低濃度不純物領域であり、しかもチャネルに近づくにつれて不純物濃度が低くなっているので、その導電型は容易に反転させることができる。

【0166】そして、ドレイン領域714、チャネル形成領域710、ソース領域715を有したPチャネル型の薄膜トランジスタを得ることができる。（図7（D））

【0167】一方、Nチャネル型の薄膜トランジスタは、ソース領域703、低濃度不純物領域704と706、チャネル形成領域705、ドレイン領域707を備えたものとして得られる。

【0168】そして両薄膜トランジスタのドレイン領域同士を接続し、さらにゲート電極同士を接続することにより、CMOS構造を得ることができる。

【0169】本実施例に示す構成を採用すると、低濃度不純物領域が存在することでNチャネル型の薄膜トランジスタの移動度を実質的に低下させ、さらにNチャネル型の薄膜トランジスタの劣化を抑制する構成とができる。

【0170】そしてPチャネル型の薄膜トランジスタとの特性のバランスを是正することができ、高い特性を有したCMOS回路を得ることができる。

【0171】【実施例4】本実施例は、Nチャネル型の薄膜トランジスタのしきい値を制御するために、Nチャネル型の薄膜トランジスタのチャネルの導電型を弱いP型とする構成に関する。

【0172】本実施例の作製工程は、実施例1（図1～図3参照）に示したものと基本的に同じである。本実施例が実施例1と異なるのは、活性層104と105を構成するための出発膜である非晶質珪素膜の成膜時に、原 料ガス中にジボラン（ B_2H_6 ）を微量に添加することである。

【0173】ジボランの添加は、得られる薄膜トランジ

スタのしきい値特性に鑑みて決めればよい。具体的には、最終的にチャネル形成領域中に残留するB元素の濃度を $1 \times 10^{17}/\text{cm}^2 \sim 5 \times 10^{17}/\text{cm}^2$ 程度となるようにその添加量を調整すればよい。

【0174】【実施例5】実施例4ではNチャネル型の薄膜トランジスタのしきい値を制御するために、Nチャネル型の薄膜トランジスタのチャネル形成領域を弱いP型とする例を示した。

【0175】しかし実施例4に示す場合には、Pチャネル型の薄膜トランジスタのしきい値を自由に制御することはできない。

【0176】そこで本実施例においては、例えば図1(A)に示す状態または、図1(A)に示す状態の前のゲート絶縁膜103が形成される前の状態において、活性層104および/または活性層105に対して選択的に不純物イオンの注入を行う。

【0177】例えば、図1(A)の前の状態、即ちゲート絶縁膜103が形成される前の状態において、活性層105をマスクし、活性層104に対して所定のドーズ量でもってBイオンの注入を行う。この工程で活性層104を必要とする弱いP型とする。

【0178】次に活性層104をマスクし、活性層105に対して所定のドーズ量でもってPイオンの注入を行う。この工程で活性層105を必要とする弱いN型とする。

【0179】このようにすることで、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとのしきい値を独立に制御できる構成が実現される。

【0180】本実施例に示すような活性層に対する不純物イオンの注入を行った後に加熱処理やレーザー光の照射によってアニールを行うことは好ましい。このアニールは、注入された不純物イオンの活性化と不純物イオンの注入によって受けた損傷を修復するために効果がある。

【0181】【実施例6】本実施例は、実施例1に示す構成において、低濃度不純物領域121と123(図2(B)参照)に加えて、さらにオフセットゲート領域を配置した構成に関する。

【0182】オフセットゲート領域もホットキャリアによる劣化やOFF電流値の低減、さらにソース/ドレン間の抵抗値の増大による実質的な移動度の低下、といった作用を有している。

【0183】即ち、オフセットゲート領域はLDD領域に代表される低濃度不純物領域と同様の作用を有している。

【0184】本実施例の作製工程を図9に示す。基本的な作製工程は特に断らない限り実施例1(図1～図3参照)と同じである。また図9において図1～図3と符号の同じものは実施例1に記載したものと同じである。

【0185】本実施例において特徴とするのは、図9

(A)に示すゲート電極の表面を覆って形成される緻密な陽極酸化膜901と902の膜厚を厚くすることである。

【0186】この緻密な陽極酸化膜901と902の膜厚は、2000Å～2500Åとする。この陽極酸化膜の膜厚はさらに厚くすることもできるが、陽極酸化時の印加電圧が300V以上の高圧になってしまい、再現性や安全性に問題が生じる。

【0187】この緻密な陽極酸化膜の成膜方法は、実施例1に示した方法と基本的に同じである。ただし膜厚に対応させてその印加電圧変化させる。膜厚と印加電圧との間には、印加電圧を高くすれば陽極酸化膜の膜厚が厚くなる関係がある。

【0188】このように膜厚の厚い緻密な陽極酸化膜901と902を成膜した状態(図9(A))において、Pイオンの注入を行う。Pイオンに注入条件は実施例1の場合と同じである。(図9(B))

【0189】この不純物イオンの注入によって、Nチャネル型の薄膜トランジスタのソース領域120とドレン領域124、さらにチャネル形成領域122が自己整合的に形成される。

【0190】また低濃度不純物領域121と123が形成される。ここで低濃度不純物領域123がLDD領域となる。

【0191】また、チャネルとして機能せず、しかもソース/ドレン領域として機能しない領域903がオフセットゲート領域として形成される。オフセットゲート領域903はチャネルを挟んで1組形成される。

【0192】このオフセットゲート領域は、図9(A)に工程において、ゲート電極の表面に形成された緻密な陽極酸化膜901の膜厚によって、その概略の寸法が決定される。

【0193】図9(B)に示す工程の終了後、レジストマスク129を配置し、Bイオンの注入を行う。Bイオン注入条件は実施例1に示すものと同じである。(図9(C))

【0194】この工程において、Pチャネル型の薄膜トランジスタのドレン領域130、ソース領域132、チャネル形成領域131が自己整合的に形成される。

【0195】また、陽極酸化膜902の膜厚でもって、オフセットゲート領域904が形成される。

【0196】そしてレジストマスク129取り除き、図9(D)に示す状態を得る。さらにレーザー光の照射によるアニールを行う。

【0197】本実施例の構成を採用した場合、左側のNチャネル型の薄膜トランジスタは、低濃度不純物領域とオフセットゲート領域との併用した構成とし、右側のPチャネル型の薄膜トランジスタは、低濃度不純物領域は備えていないが、オフセットゲート領域を備えた構成とすることができる。

【0198】なお、緻密な陽極酸化膜901と902の膜厚を薄くしていくと、オフセットゲイト領域の機能は小さくなる。そして実施例1の場合と同様な構成となる。

【0199】また、オフセットゲイト領域の幅がどの程度であれば、即ち901や902で示される陽極酸化膜の膜厚をどの程度以上とすれば、オフセットゲイト領域として認められる領域を形成できるかについて、明確な境界はない。

【0200】従って、実施例1に示すような構成の場合でも、その効果はさておき、オフセットゲイト領域がソース領域とチャネル形成領域との間、さらにドレイン領域とチャネル形成領域との間に存在しているということができる。

【0201】〔実施例7〕本実施例は、ガラス基板上にアクティブマトリクス領域とこのアクティブマトリクス領域を駆動する周辺駆動回路とを集積化した構成に関する。

【0202】集積化されたアクティブマトリクス型の液晶表示装置を構成する一方の基板は以下のような構成を有している。即ち、アクティブマトリクス領域には、マトリクス状に配置された画素のそれぞれにスイッチング用の薄膜トランジスタが少なくとも一つ配置され、このアクティブマトリクス領域を駆動するための周辺回路がアクティブマトリクス領域の周囲に配置されている。そしてこれらの回路は全て1枚のガラス基板（または石英基板）上に集積化されている。

【0203】このような構成に本明細書で開示する発明を利用すると、画素領域には低OFF電流特性を有したNチャネル型の薄膜トランジスタが配置され、周辺回路を高い特性を有したCMOS回路で構成することができる。

【0204】即ち、図1～図3で示すCMOS構成でもって周辺回路を構成し、同時に図1～図3の左側のNチャネル型の薄膜トランジスタをアクティブマトリクス領域に配置する構成とする。

【0205】アクティブマトリクス領域に配置される薄膜トランジスタは、画素電極に保持された電荷を所定の時間でもって維持する必要から、そのOFF電流値を極力小さくすることが望まれる。

【0206】従って、図3（B）に左側に示されるような低濃度不純物領域121と123を備えた薄膜トランジスタはこの目的のために最適なものとなる。

【0207】一方で周辺駆動回路はCMOS回路が多用される。そしてその特性を高いものとするためには、CMOS回路を構成するNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとの特性を極力そろえることが必要とされる。

【0208】このような目的のためには、実施例1（図1～図3参照）に示したようなCMOS構造が最適なものとなる。

のとなる。

【0209】このようにしてそれぞれの回路に好ましい特性を有した構成でなる集積化されたアクティブマトリクス型の液晶表示装置を得ることができる。

【0210】本実施例においては、Nチャネル型の薄膜トランジスタとして、低濃度不純物領域（LDD領域）を有した薄膜トランジスタを採用する例を示した。しかし、Nチャネル型の薄膜トランジスタとして実施例2に示すようなオフセットゲイト領域を備えた薄膜トランジスタを利用してもよい。

【0211】また、アクティブマトリクス領域に配置される薄膜トランジスタをP型とすることもできる。

【0212】〔実施例8〕本実施例は、陽極酸化を利用せずにLDD領域、あるいはオフセットゲイト領域を形成する場合の例を示す。

【0213】図10に本実施例の作製工程を示す。まずガラス基板1001上に下地膜として酸化珪素膜1002を成膜する。さらに結晶性珪素膜である活性層1003と1004を形成する。なお、1003がNチャネル型の薄膜トランジスタの活性層となる。また、1004がPチャネル型の薄膜トランジスタの活性層となる。

【0214】次にゲート絶縁膜として機能する酸化珪素膜1005を成膜する。そしてPまたはBがヘビードーピングされた微結晶珪素膜を成膜し、レジストマスク1008と1009を利用してそれをパターニングすることにより、1006と1007で示されるパターンを形成する。このパターンが後に形成されるゲート電極の基となる。こうして図10（A）に示す状態を得る。

【0215】次に等方性のドライエッチングを行うことにより、図10（B）に示す1010と1011のパターンを形成する。

【0216】そして図10（C）に示す状態において、高いドーズ量の条件（他の実施例参照）でPのドーピングを行う。この工程で、1012、1014、1015、1017の領域に高ドーズ量でもってPがドーピングされる。なお、1013、1016の領域はPがドーピングされない領域である。

【0217】次に図10（D）に示すように、レジストマスク1008と1009を除去し、低いドーズ量の条件（他の実施例参照）でPのドーピングを再び行う。この工程で、1018、1020、1021、1023の領域に低ドーズ量でもってPがドーピングされる。

【0218】次に図10（E）に示すように、レジストマスク1024によってNチャネル型の薄膜トランジスタ部をマスクし、Bのドーピングを行う。このドーピングは、1015、1021、さらに1017、1023の領域の導電型をN型からP型へと反転させる条件でもって行う。

【0219】この際、他の実施例でも説明したように、1021と1023の領域には、低ドーズ量でもってP

元素がドーピングされているので、B元素の高濃度のドーピングを行わなくても1025と1026の領域をP型（Pチャネル型の薄膜トランジスタのソース／ドレイン領域として必要とされる）に反転させることができる。

【0220】図10（E）に示すドーピング工程の終了後、レーザー光の照射を行い、ドーピングされた不純物の活性化とドーピング時に生じた損傷のアニールを行う。

【0221】この後、他の実施例に示すのと同様な工程を経ることにより、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタを完成させる。

【0222】ここでNチャネル型の薄膜トランジスタは、ソース領域1012、低濃度不純物領域1018、チャネル形成領域1019、低濃度不純物領域1020（LDD領域）、ドレイン領域1014を備えたものとなる。

【0223】またPチャネル型の薄膜トランジスタは、ソース領域1025、チャネル形成領域1022、ドレイン領域1026を備えたものとなる。

【0224】なお、図10（D）に示す工程において、低ドーズ量でのドーピングを行わないと、1018、1020の領域には、P元素のドーピング（ライトドーピング）は行われず、これらの領域をオフセットゲート領域とすることができます。

【0225】【実施例9】本実施例は、陽極酸化を利用せずにLDD領域、あるいはオフセットゲート領域を形成する場合の例を示す。

【0226】図11に本実施例の作製工程を示す。まずガラス基板1101上に下地膜として酸化珪素膜1102を成膜する。さらに結晶性珪素膜である活性層1103と1104を形成する。なお、1103がNチャネル型の薄膜トランジスタの活性層となる。また、1104がPチャネル型の薄膜トランジスタの活性層となる。

【0227】次にゲート絶縁膜として機能する酸化珪素膜1105を成膜する。そしてPまたはBがヘビードーピングされた微結晶珪素膜を成膜し、図示しないレジストマスクを利用してそれをパターニングすることにより、1106と1107で示されるパターンを形成する。このパターンが後にゲート電極となる。

【0228】次に窒化珪素膜1108を成膜する。このようにして図11（A）に示す状態を得る。

【0229】そして、垂直異方性を有するドライエッティング法を用いることにより、この窒化珪素膜1108をエッティングする。

【0230】この際、エッティング条件を適当に選択することにより、1109、1110で示される概略三角形状の残存物（窒化珪素である）を形成することができる。こうして図11（B）に示す状態を得る。

【0231】次に図11（C）に示す工程において、P

元素のヘビードーピングを行う。この結果、1111、1113、1114、1116の領域にPのヘビードーピングが行われる。また、1112、1115の領域にはドーピングが行われない。

【0232】次に窒化珪素膜1109と1110を除去する。そして、図11（D）に示す状態において、P元素のライトドーピングを行うことにより、1117、1119、1120、1122の領域が低濃度不純物領域（N⁻型領域）となる。また、1118、1121の領域がチャネル形成領域となる。

【0233】次に図11（E）に示すように、レジストマスク1123によってNチャネル型の薄膜トランジスタ部をマスクし、Bのドーピングを行う。このドーピングは、1114、1116、さらに1120、1122の領域の導電型をN型からP型へと反転させる条件でもって行う。

【0234】この際、他の実施例でも説明したように、1120と1022の領域には、低ドーズ量でもってP元素がドーピングされているので、B元素の高濃度のドーピングを行わなくても1124と1125の領域をP型（Pチャネル型の薄膜トランジスタのソース／ドレイン領域として必要とされる）に反転させることができる。

【0235】図11（E）に示すドーピング工程の終了後、レーザー光の照射を行い、ドーピングされた不純物の活性化とドーピング時に生じた損傷のアニールを行う。

【0236】この後、他の実施例に示すのと同様な工程を経ることにより、Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタを完成させる。

【0237】ここでNチャネル型の薄膜トランジスタは、ソース領域1111、低濃度不純物領域1112、チャネル形成領域1118、低濃度不純物領域1119（LDD領域）、ドレイン領域1113を備えたものとなる。

【0238】またPチャネル型の薄膜トランジスタは、ソース領域1124、チャネル形成領域1121、ドレイン領域1125を備えたものとなる。

【0239】なお、図11（D）に示す工程において、Pのライトドーピング工程を行わないと、1117、1119の領域をオフセットゲート領域とすることができます。

【0240】【実施例10】本明細書で開示する発明を利用した構成は、アクティブマトリクス型の構成を有した電気光学装置に利用することができる。特に周辺駆動回路一体型の電気光学装置の周辺駆動回路に利用することができる。

【0241】また、周辺駆動回路以外に画像信号や各種情報を取り扱うメモリーや情報処理回路の少なくとも一部を本明細書で開示する発明を利用して構成することが

できる。

【0242】即ち、1枚の基板上にアクティブマトリクス回路以外に各種回路を集積化した構成に本明細書で開示する発明を利用することができる。

【0243】電気光学装置としては、液晶表示装置、EL(エレクトロルミネッセンス)表示装置、EC(エレクトロクロミックス)表示装置などが挙げられる。

【0244】具体的な応用商品としては、TVカメラ、パソコン用コンピュータ、カーナビゲーション、TVプロジェクション、ビデオカメラ、携帯型情報端末等が挙げられる。それら応用用途の簡単な説明を図12を用いて行う。

【0245】図12(A)はTVカメラであり、本体2001、カメラ部2002、表示装置2003、操作スイッチ2004で構成される。表示装置2003はビューファインダーとして利用される。図12(A)に示す装置は、携帯型の情報端末として利用することができる。

【0246】図12(B)はパソコン用コンピュータであり、本体2101、カバー部2102、キーボード2103、表示装置2104で構成される。表示装置2103はモニターとして利用され、対角十数インチもサイズが要求される。

【0247】図12(C)はカーナビゲーションであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。表示装置2202はモニターとして利用される。

【0248】図12(D)はTVプロジェクションであり、本体2301、光源2302、表示装置2303、ミラー2304、2305、スクリーン2306で構成される。表示装置2303に映し出された画像がスクリーン2306に投影されるので、表示装置2303は高い解像度が要求される。

【0249】図12(E)はビデオカメラであり、本体2401、表示装置2402、接眼部2403、操作スイッチ2404、テープホルダー2405で構成される。表示装置2402に映し出された撮影画像は接眼部2403を通してリアルタイムに見ることができるので、使用者は画像を見ながらの撮影が可能となる。

【0250】

【発明の効果】本明細書で開示する発明を利用することにより、以下に示すような効果を得ることができる。

(1) CMOS構造を得るのに1枚ドーピングマスクで済むので工程を簡略化することができる。

(2) Nチャネル型の薄膜トランジスタのみに低濃度不純物領域を配置することでCMOS構造としてバランスを探ることができます。

(3) 極端なヘビードープを行う必要がないので、レジストの変質の問題を回避することができる。

(4) 導電型を反転させる時、チャネルに隣接した領域

が真性または低濃度不純物領域なので、導電型の反転を行うことが容易となる。

(5) 活性層が酸化珪素膜で覆われているので、汚染の問題や表面の荒れの問題を避けることができる。

【図面の簡単な説明】

【図1】 CMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

【図2】 CMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

10 【図3】 CMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

【図4】 従来におけるCMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

【図5】 従来におけるCMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

【図6】 CMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

【図7】 CMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

20 【図8】 活性層における不純物濃度の分布を示す図。

【図9】 CMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

【図10】 CMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

【図11】 CMOS構造を有する薄膜トランジスタ回路の作製工程を示す図。

【図12】 電気光学装置を利用した各種装置の概要を示す。

【符号の説明】

30	101	ガラス基板
	102	下地膜(酸化珪素膜)
	103	ゲート絶縁膜
	104	Nチャネル型の薄膜トランジスタ用の活性層
	105	Nチャネル型の薄膜トランジスタ用の活性層
	106	アルミニウム膜
	107	緻密な陽極酸化膜
	108、109	レジストマスク
40	110、111	残存したアルミニウム膜
	112、113	多孔質状の陽極酸化膜
	11、12	ゲート電極
	114、115	緻密な陽極酸化膜
	116、117	高濃度不純物領域
	118、119	高濃度不純物領域
	120	ソース領域
	121	低濃度不純物領域
	122	チャネル形成領域
	123	低濃度不純物領域(LD)
50	D領域)	

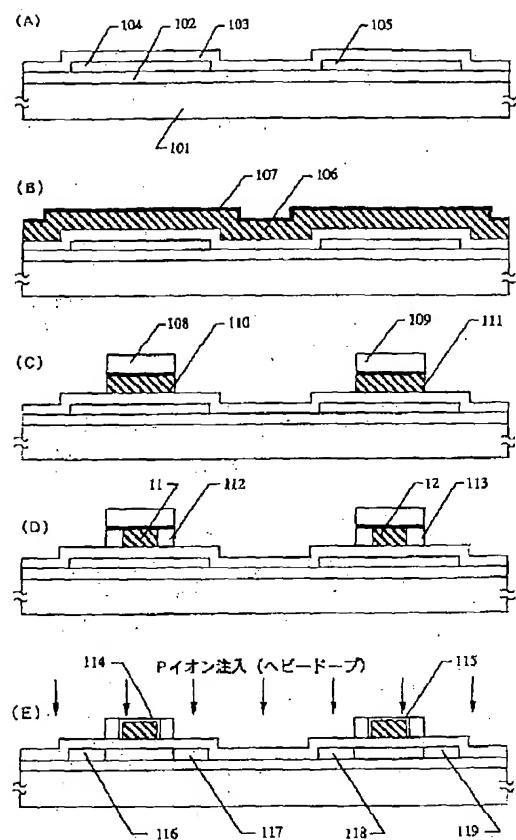
27

124	ドレイン領域
125	N型の高濃度不純物領域
126、127	N型の低濃度不純物領域
128	N型の高濃度不純物領域
129	レジストマスク
130	ドレイン領域 (P型の高濃度不純物領域)
131	チャネル形成領域

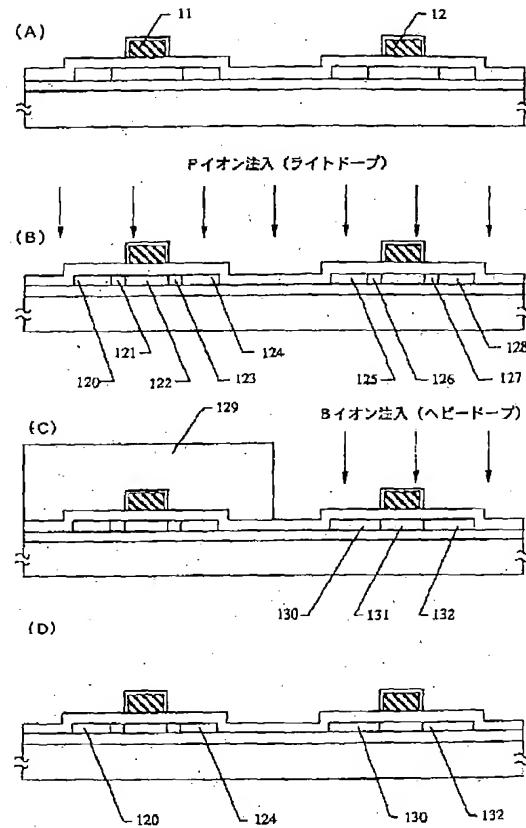
28

132	ソース領域 (P型の高濃度不純物領域)
133	層間絶縁膜
134	ソース電極
135	ドレイン電極
136	ソース電極
137	ドレイン電極

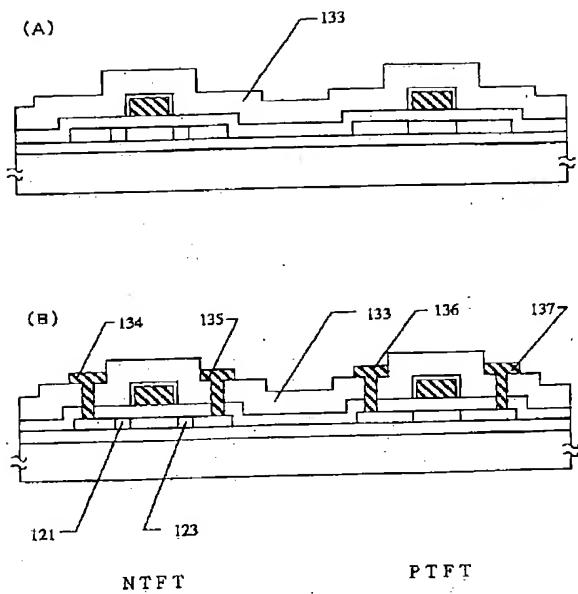
【図1】



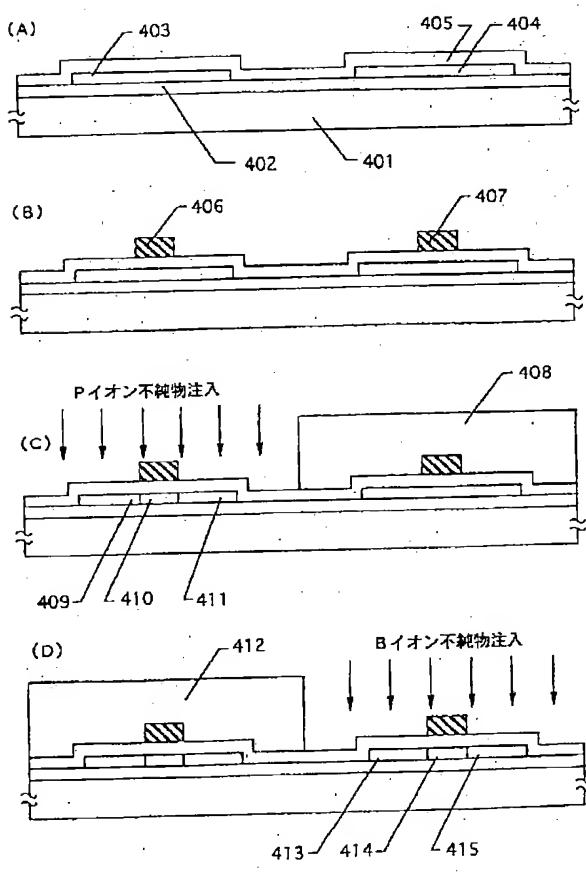
【図2】



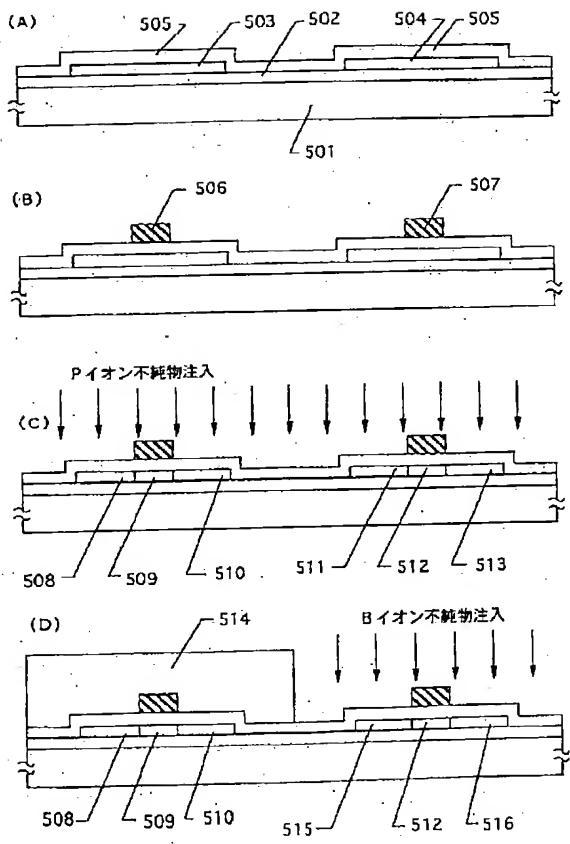
【図3】



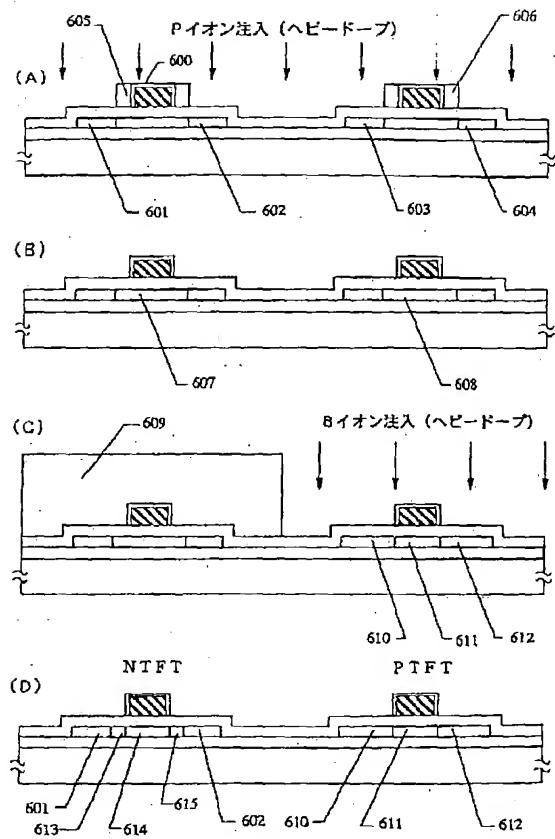
【図4】



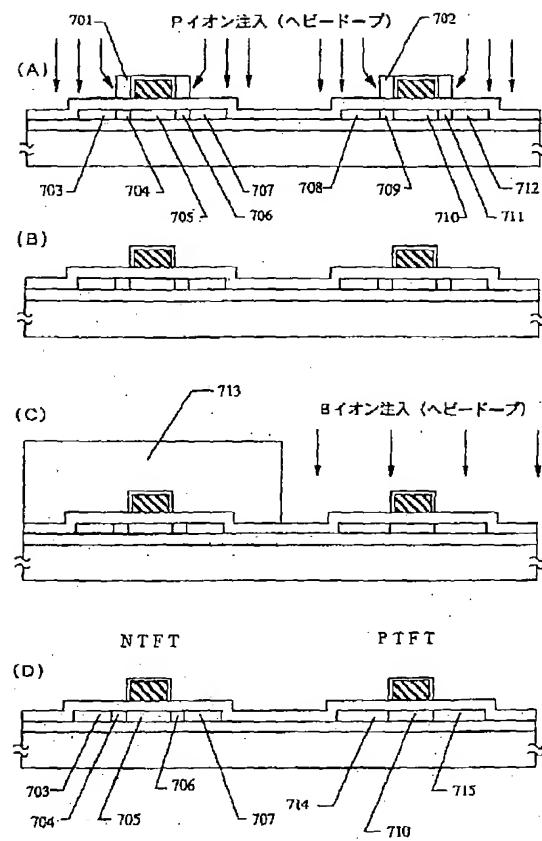
【図5】



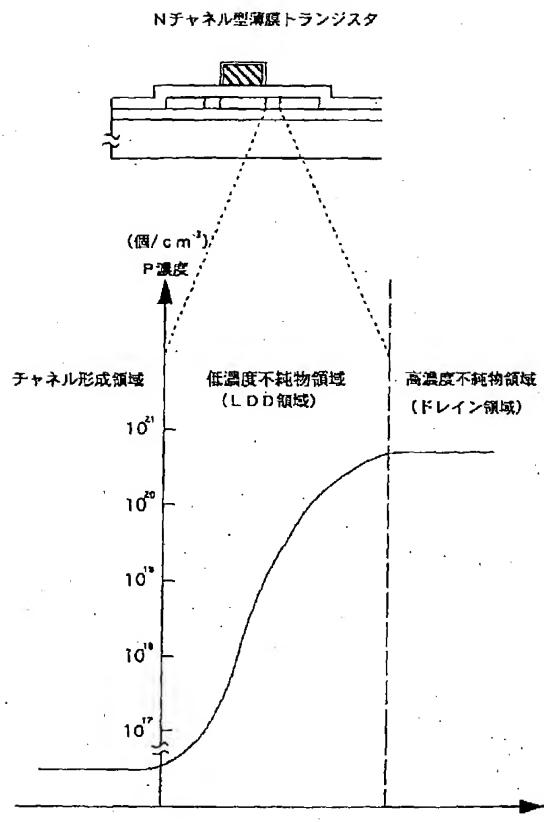
【図6】



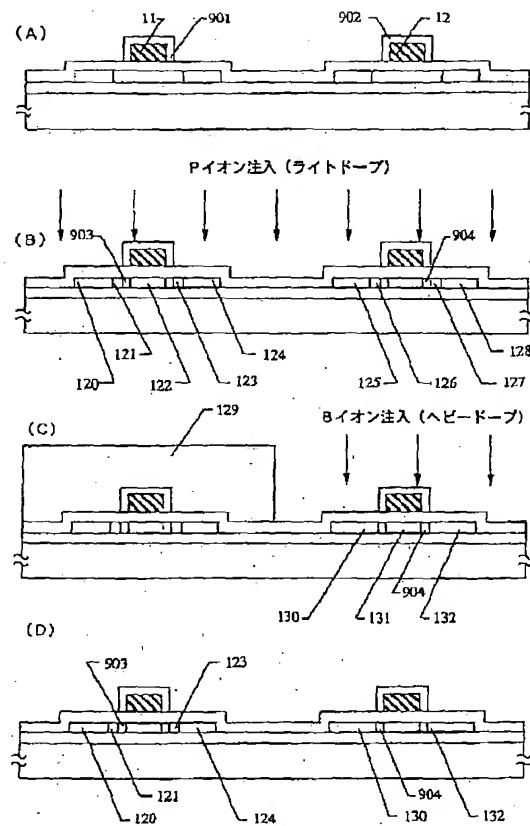
【図7】



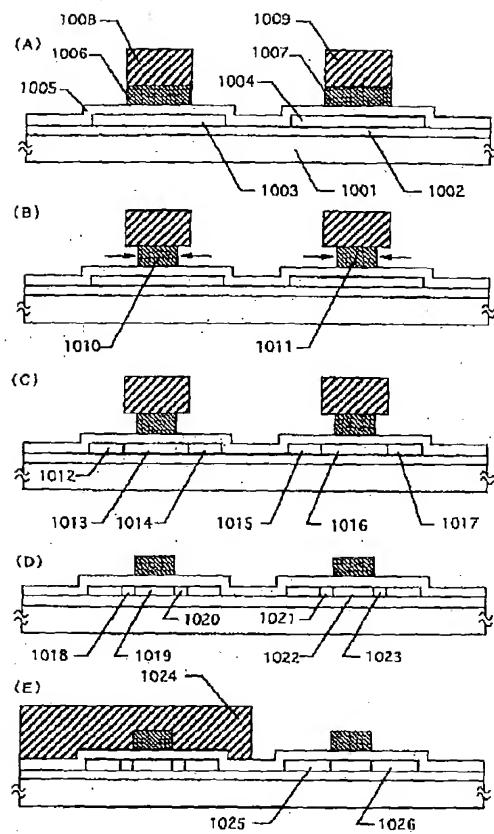
[図8]



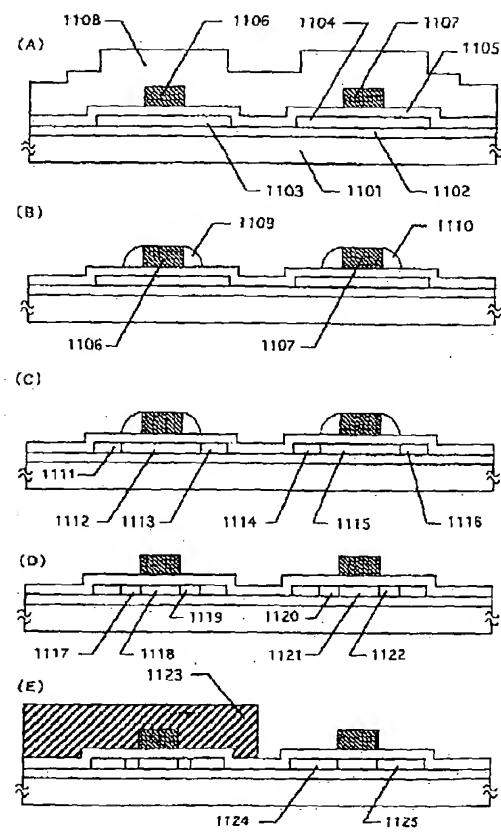
[图9]



【図10】



【図11】



【図12】

